

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10160798 A

(43) Date of publication of application: 19.06.98

(51) Int. Cl. G01R 31/28

(21) Application number: 08318166

(71) Applicant: ANDO ELECTRIC CO LTD

(22) Date of filing: 28.11.96

(72) Inventor: NISHIYAMA KUNIIHIKO

(54) IC-TESTING METHOD

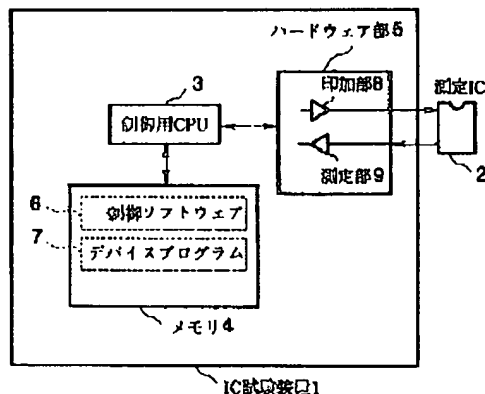
(57) Abstract:

PROBLEM TO BE SOLVED: To reduce a measurement time and to improve the efficiency in testing by repeatedly measuring a group of ICs for obtaining the same measurement result under a same measurement condition simultaneously in parallel and measuring an unconverged IC individually when they do not exist.

SOLUTION: A CPU 3 for control simultaneously measures a measurement IC 2 (for example, IC 2a-2d) under the same measurement conditions being set via an application part 8 and a measurement result by a measurement part 9 is stored in a memory 4. When the measurement result is the same and the measurement condition is unconverged, a new measurement condition is set and the simultaneous measurement and the preservation and discrimination of a measurement result and conditions are performed successively under the same measurement conditions. While the measurement result is the same for all ICs 2, measurement conditions are successively changed and a binary search processing is performed. In this case, when a different measurement result at a different measurement point of, for example, IC2a and 2d is detected, the same processing is repeated for three and then two ICs excluding it while changing measurement conditions. Then, when the measurement

condition has converged, the IC2b and 2c are excluded from a test target and unconverged IC2a and 2d are individually measured.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-160798

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

G 0 1 R 31/28

識別記号

F I

G 0 1 R 31/28

Y

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-318166

(22) 出願日 平成8年(1996)11月28日

(71) 出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72) 発明者 西山 邦彦

東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

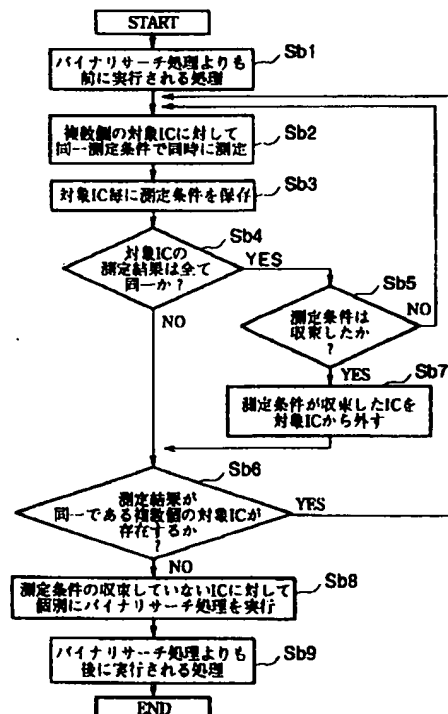
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 ICの試験方法

(57) 【要約】

【課題】 複数ICの同時測定に際して同時には1個の測定条件しか与えられない場合にも測定時間を短縮して効率的な試験を行うICの試験方法を提供する。

【解決手段】 ステップSb2で複数のICを同一測定条件で同時に測定する。ステップSb3ではIC毎に測定条件を保存し、ステップSb4でこれらICの測定結果が全て同一かを判別し、そうであればステップSb5で測定条件が収束するまでステップSb2～Sb5を繰り返す。測定条件が収束した場合はステップSb7で対象ICの候補から外し、ステップSb6で他に測定結果が同一のIC群が存在するか調べる。存在する場合は上記処理を繰り返す一方、存在しない場合はステップSb8に進み、測定条件が未収束のICに対して、ステップSb3で保存した測定条件から個別に測定を行う。一方、ステップSb4で測定結果が同一でないことを検出した場合はステップSb6に進み、上記同様の処理を行う。



Express Mail #EL719795046US

【特許請求の範囲】

【請求項1】 複数のICを同時測定する際に該複数のICに対して同一の測定条件だけを与えられるIC試験装置におけるICの試験方法において、試験対象のICに共通に与えられる測定条件を新たに決定する第1の過程と、前記試験対象のICに対して前記測定条件を与えて同時測定を行う第2の過程と、前記試験対象のICのうち同一の測定結果が得られたIC群を検出する第3の過程と、前記IC群が検出されている間、検出されたIC群を新たな試験対象のICとして前記第1～第3の過程を繰り返し実行する第4の過程と、前記IC群が検出されなくなった時点で、未だ測定の終了していないICについてIC毎に逐次的に測定を行う第5の過程とを有することを特徴とするICの試験方法。

【請求項2】 前記試験対象のICに対して同時測定を行う度に前記測定条件をIC毎に保存し、前記IC群が存在しなくなった時点で、IC毎に保存された測定条件から前記逐次的な測定を行うことを特徴とする請求項1記載のICの試験方法。

【請求項3】 バスの測定結果を与える測定条件とフェイルの測定結果を与える測定条件に基づいて、これら測定条件の間で前記測定条件を順次変化させて2分検索により前記測定を行い、前記測定条件の変化が収束した時点で前記測定を終了させることを特徴とする請求項1又は2記載のICの試験方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、IC（集積回路）等の素子を複数個同時に測定するためのICの試験方法に関し、とりわけ、測定結果がパスとなる領域とフェイルとなる領域の境界を与える測定条件を求めるにあたって、2分検索の手法により素子に与える測定条件を変化させながら試験を行うICの試験方法に関するものである。

【0002】

【従来の技術】 図3はIC試験装置の構成を示すブロック図であり、同図はまたIC試験装置1とその試験対象である測定IC2の接続関係を示している。ここで、同図においてはIC試験装置1に測定IC2を1つだけ接続した形態としているが、一般には1台のIC試験装置1に複数個の測定IC2が接続される。IC試験装置1は、これら測定IC2に与える測定条件が同一である限り、全ての測定IC2について同時に測定を行うことができる。この点、個々の測定IC2について互いに異なる測定条件を与える必要がある場合は、これらを同時に測定することはできず、個別かつ逐次的に測定しなければ

ならない。

【0003】 さて、図3に示すように、IC試験装置1は制御用CPU3（CPU：中央処理装置）、メモリ4、ハードウェア部5の各部に大別される。メモリ4には制御ソフトウェア6とデバイスプログラム7が格納されている。制御ソフトウェア6はデバイスプログラム7の記述に従ってハードウェアを制御するもので、制御用CPU3が制御ソフトウェア6を実行することによりハードウェア部5を制御している。ハードウェア部5は試験用の電流・電圧等を測定IC2の各端子へ供給する印加部8と、測定IC2の各端子から電流・電圧等を計測する測定部9とから構成されており、制御用CPU3の制御の下にこれら印加部8と測定部9を適宜作動させる。

【0004】 次に、従来の技術によるICの試験方法について説明する。ここで、図4は従来及び本発明の双方において、測定IC2に与える測定条件が試験の進捗に伴って如何に変遷してゆくかを示したもので、2分検索（以下、「バイナリサーチ」と称する）と呼ばれる手法を採用している。そこでまず、IC試験におけるバイナリサーチについて同図を参照して説明する。

【0005】 図中、符号10は測定条件の空間を表しており、測定条件空間10にはパス（PASS）領域11とフェイル（FAIL）領域12が含まれる。パス領域11は測定IC2の測定結果がパス（即ち、期待した測定結果が得られた場合）となる測定条件の範囲であり、一方で、フェイル領域12は測定結果がフェイル（即ち、期待した測定結果が得られない場合）となる測定条件の範囲である。

【0006】 バイナリサーチの手法を用いたIC試験では、初めは測定条件を適当に設定して例えば図4の①で示す測定条件を与えて測定する。この場合の測定結果が図示したようにパスであるとする、続く2回目の測定では、1回目の測定で得られた測定結果とは反対の測定結果（即ち、フェイル）が得られるような測定条件②を設定して測定を行う。ここで、測定結果としてフェイルが得られなかったならば、よりフェイルになる確率の高いと考えられる測定条件を設定して再び測定を行う。そして首尾よくフェイルの測定結果が得られたならば、3回目以降の測定では、各測定時点よりも2回前及び1回前の測定（即ち、3回目の測定であれば1回目及び2回目の測定）で与えた測定条件の間で新たな測定条件を選んで引き続き測定を行う。なお、バイナリサーチにおいて、新たな測定条件としては、2回前及び1回前の測定で使用した測定条件の中間点に相当する測定条件が与えられる。

【0007】 こうして測定を繰り返してゆくと、測定IC2へ与える測定条件は図示したように①→②→③→④→⑤→……と順次変化して次第にパス領域とフェイル領域の境界に収束してゆくことになる。こうした測定の繰

り返しは測定IC2に与えた測定条件の変化量が所定値よりも小さくなるまで行われる。つまり、例えば4回目の測定で与えた測定条件と5回目の測定で与えた測定条件の差が所定値よりも小さくなっていれば、その時点でバイナリサーチを終了させる。そして、こうして得られたパス領域とフェイル領域との境界点は、各ICの特性などを知る上での判断材料となる。

【0008】さて、前述したように、IC試験装置1が一時点の測定において複数の測定IC2に与えられる測定条件は唯一つである。ところが、バイナリサーチを用いた試験では各測定時点において、当該測定よりも以前に得られた測定結果に依存して測定条件を設定する必要がある。しかも、測定ICの特性はIC毎にばらつきがあるのが通常であるから、測定IC2に順次与えられる測定条件は、必ずしも全ての測定IC2について同じとは限らない。そのため、従来はバイナリサーチによって測定を行う際には、個々の測定IC2に対して逐次的に測定を行っていた。そこで、この点について図5のフローチャートを参照して説明する。

【0009】まず、ステップSa1では、IC試験装置1の試験項目のうちバイナリサーチ処理よりも以前に実行される処理を行う。次に、ステップSa2において、対象ICとしてある一つの測定IC2を選択し、当該測定IC2についてだけ上述したバイナリサーチ処理を行う。次に、ステップSa3では、対象となる全ての測定IC2について測定を行ったかどうかを判別する。未だ対象とする測定IC2が残っていればステップSa4に処理を進めて、試験対象を別の測定IC2に変更したのち、新たな測定IC2についてステップSa2のバイナリサーチ処理を行う。そして、これ以後はステップSa2～Sa4の処理を繰り返し行い、ステップSa4において全ての測定IC2について測定が完了したことが検出された時点で、処理をステップSa5に進める。ステップSa5では、バイナリサーチ処理に続くその他の試験項目の処理を行う。

【0010】

【発明が解決しようとする課題】以上のように、IC試験装置1から複数の測定IC2へ同時に与えられる測定条件が一つであることと、各測定時点での測定条件を決めるのにそれよりも以前の測定結果に依存するというバイナリサーチの特質から、従来は各測定IC2に対して逐次的にバイナリサーチ処理を適用して複数のICを試験していた。そのために、対象となる測定IC2の数が増えるとそれに比例して測定時間が増大してしまい、効率的にICの試験を行うことができず、試験時間の短縮といったユーザの要望にも応えられるものではなかった。

【0011】本発明は上記の点に鑑みてなされたものであり、その目的は、複数のICを同時に測定するにあたって、IC試験装置からこれらICに対して同時には1

個の測定条件しか与えられない場合であっても、測定に要する時間を可能な限り短縮して効率的な試験を実現するICの試験方法を提供することにある。

【0012】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、複数のICを同時測定する際に該複数のICに対して同一の測定条件だけを与えるIC試験装置におけるICの試験方法において、試験対象のICに共通に与えられる測定条件を新たに決定する第1の過程と、前記試験対象のICに対して前記測定条件を与えて同時測定を行う第2の過程と、前記試験対象のICのうち同一の測定結果が得られたIC群を検出する第3の過程と、前記IC群が検出されている間、検出されたIC群を新たな試験対象のICとして前記第1～第3の過程を繰り返し実行する第4の過程と、前記IC群が検出されなくなった時点で、未だ測定の終了していないICについてIC毎に逐次的に測定を行う第5の過程とを有することを特徴としている。

【0013】また、請求項2記載の発明は、請求項1記載の発明において、前記試験対象のICに対して同時測定を行う度に前記測定条件をIC毎に保存し、前記IC群が存在しなくなった時点で、IC毎に保存された測定条件から前記逐次的な測定を行うことを特徴としている。また、請求項3記載の発明は、請求項1又は2記載の発明において、パスの測定結果を与える測定条件とフェイルの測定結果を与える測定条件に基づいて、これら測定条件の間で前記測定条件を順次変化させて2分検索により前記測定を行い、前記測定条件の変化が収束した時点で前記測定を終了させることを特徴としている。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態について説明する。図1は、同実施形態によるICの試験方法を説明するフローチャートである。ここで、本実施形態における装置の構成は基本的に図3に示すものと同じであって、制御ソフトウェア6が以下に詳述する処理を実現するように変更されている点と、測定条件及び測定結果を格納するための領域が測定IC毎にメモリ4上に確保されている点が相違する。なお、以下の説明では、4個の測定IC2a、2b、2c、2d（何れも図示省略）を対象として試験がなされるようにデバイスプログラム7が記述されているとする。もっとも、本発明が測定ICの数に依存するものでないことは、以下の説明からも明らかである。

【0015】さて、図1のステップSb1では、バイナリサーチに先だってIC試験装置1で行われる処理を実行するが、これは図5のステップSa1の処理と同じものである。次に、ステップSb2では、制御用CPU3がデバイスプログラム7の記述に従って測定条件を適宜設定するが、最初は図4の①に相当する測定条件を設定する。前述したように、測定条件は測定IC2a～2d

について全て同じものであり、制御用CPU3はハードウェア部5内の印加部8を介して設定した測定条件を同時に測定IC2a~2dへ与えて測定を行う。

【0016】そしてこの測定が完了した時点で処理をステップSb3に進め、制御用CPU3は測定部9を介して測定IC2a~2dから測定結果をそれぞれ取り込んでメモリ4に格納する。また、このとき制御用CPU3は、ステップSb2で設定した測定条件を測定IC2a~2d毎に確保されたメモリ4の領域へそれぞれ保存する。なお、このように測定条件を測定IC毎に逐次保存してゆく理由は後述の説明から明らかになる。

【0017】次に、処理をステップSb4に進め、制御用CPU3はメモリ4に格納されている各測定ICの測定結果を読み出して、測定IC2a~2dから得た測定結果が全て同一であるかどうか判別する。いま、これら測定結果が全て同じであれば、測定IC2a~2dの全てに対して共通の測定条件を新たに設定して、引き続き測定を行うことができる。そこで、処理をステップSb5に進めて、これら測定IC2a~2dに与えた測定条件が収束したかどうかを、前述した従来と同様の手順によって判別する。

【0018】測定条件が未だ収束していないのであれば処理をステップSb2に戻す。そして、制御用CPU3は新たな測定条件（即ち、図4の②に相当する測定条件）を設定し、上記と同様に測定IC2a~2dに対して同一測定条件下での同時測定処理（ステップSb2）、測定結果及び測定条件の保存処理（ステップSb3）、測定結果の判別処理（ステップSb4）を順次実行する。このようにして、制御用CPU3は測定結果が試験対象である全ての測定ICについて同一である間は、測定条件だけを順次変えてバイナリサーチ処理を行ってゆく。

【0019】そしていま、ステップSb4において得られた測定結果が測定IC2a~2dの間で異なることが検出されたとする。ここで、以下の説明では測定IC2b~2dの測定結果が同一であって、測定IC2aの測定結果だけが異なるものとする。そこで処理をステップSb6に進め、制御用CPU3は試験対象候補である測定IC2a~2dの中に測定結果の同じものが存在するかどうかを調べる。この場合は、いま述べたように測定IC2b~2dの測定結果が同一であるため、制御用CPU3は処理をステップSb2に戻して、測定IC2aを除く3個の測定IC2b~2dに対して、測定条件を変えながらステップSb2~Sb6の処理を繰り返してバイナリサーチによる測定を行う。なお、測定IC2aの測定条件は、測定IC2b~2dに対してバイナリサーチがなされている間は変更されずに現時点での値がそのままメモリ4に保持される。

【0020】すなわち、測定IC2b~2dの測定結果が同一である間はステップSb2~Sb5の処理を繰り返

返し、その後に異なる測定結果が得られた時点で、ステップSb6において測定結果が共通な測定IC群が存在するかどうかを再び調べる。いま、例えば測定IC2b~2dのうち測定IC2dの測定結果だけが異なるとした場合、測定IC2b及び測定IC2cに対してステップSb2~Sb6の処理をさらに繰り返して上記同様にバイナリサーチによる測定を行う。なお、この場合にも測定IC2dの測定条件は現時点のものがメモリ4に保持される。

【0021】そして、今度はこれら測定IC2b及び測定IC2cについて測定条件が収束したとする。そうした場合、ステップSb5で測定条件の収束が検出されたのち、処理をステップSb7に進めて、制御用CPU3は測定条件の収束により試験が終了した測定IC2b及び測定IC2cを試験対象候補から除外する。次いで、処理をステップSb6へ進めて、制御用CPU3はいま処理した測定IC2b及び測定IC2c以外にも測定条件の共通な測定ICが複数存在するかどうかを調べる。しかし、上述したように測定IC2a及び測定IC2dの測定条件は異なるのであってこれには該当しないため、この場合は処理をステップSb8に進める。

【0022】処理がステップSb8まで到達した場合、同一測定条件を与えて同時に測定できる測定IC群はもはや試験対象候補中には存在しないことを意味する。そこで、ステップSb8において、制御用CPU3は試験の対象とする測定ICがまだ残っている場合、即ち、未だ測定条件の収束していない測定ICが存在する場合は、これら測定ICにつき従来と同様にして個別にバイナリサーチによる測定を行う。

【0023】すなわち、制御用CPU3は測定IC2a及び測定IC2dについて個別に保存されている測定条件をメモリ4から読み出したのち、各測定条件以後のバイナリサーチ処理をこれら測定IC毎に逐次的に実行する。このように、先にステップSb3で測定IC毎に測定条件を保存しておくことで、ステップSb8における個別のバイナリサーチ処理が可能になる。そして、ステップSb8でなされる個別のバイナリサーチ処理が完了したあとは、処理をステップSb9に進めて、バイナリサーチ処理に続くその他の試験項目の処理を行う。このステップSb9の処理は図5のステップSa5の処理と同じものである。

【0024】一方、前述の説明では、測定IC2b及び測定IC2cに対する測定条件が収束した場合に、測定結果が同一である測定対象ICはもはや存在しなかった。しかしながら、例えば、測定IC2bと測定IC2cの全ての測定条件が同じであるのに加え、測定IC2aと測定IC2dの測定条件が少なくとも途中までは同じであることもある。そうした場合、測定IC2b及び測定IC2cに対して測定条件が収束するまで同時並列的に測定が行われたのちに、処理はステップSb5から

ステップS b 7→ステップS b 6と進んだのちステップS b 2に戻る。そして、測定I C 2 a及び測定I C 2 dに対して同一の測定結果が得られる間、ステップS b 2～S b 5の処理が繰り返されて同時並列的な測定がなされる。

【0025】他方、ステップS b 8において対象とする測定I Cが存在しない場合、すなわち、全ての測定I Cについて測定条件が収束している場合も考えられる。例えば、いまの説明において、測定I C 2 aと測定I C 2 dの測定条件が全て同じであれば、全ての測定I Cについて測定条件が収束することになり、残りの測定I Cは存在しない。そこで、このような場合にあっては、ステップS b 8における個別のバイナリサーチ処理は行われなくなる。

【0026】以上のように、本実施形態では、同一の測定結果が得られた複数の測定I Cについては、測定条件を変えながら同時並列的にバイナリサーチ処理を行い、こうした条件を満たす測定I Cが存在しなくなった時点で、測定条件の収束していない測定I Cに対してそれぞれ個別に残りのバイナリサーチ処理がなされることになる。これにより、同時並列的にバイナリサーチ処理がなされた測定部分に相当する分だけ測定回数が低減されることになり、それに合わせて測定時間も短縮されることになる。

【0027】ところで、図2はI Cの試験処理時間を従来技術と本発明で対比させて示したものである。同図では対象とする測定I Cの数を4個とし、これら測定I Cに対する処理時間は全て等しいものとしている。図中、時間T 1は或る一つの測定I Cについてバイナリサーチ処理を行うのに要する時間である。また、時間T 2は本発明において同一測定条件下で同時測定のなされる並列測定部分の時間である。さらに、時間T 3は各測定I Cについて時間T 1から時間T 2を差し引いた時間を表しており、個別になされるバイナリサーチの処理部分に相当する。そして、時間T 4は従来方法を基準として、本発明により短縮される処理時間を表している。この図から分かるように、本発明では並列測定部分を大きくすればするほど、全体の試験回数が減って測定時間を短縮させることができる。

【0028】

【発明の効果】以上説明したように、本発明によれば、

同一の測定結果が得られるI C群については同一の測定条件を与えて同時並列的に繰り返し測定を行い、同一の測定結果が得られるI C群が存在しなくなった時点で、測定の終了していないI Cについて個別に逐次的に測定するので、同時並列的に測定する部分に相当する分だけ全体の試験回数を低減させることができ、以て、I Cの試験時間を短縮できるという効果がある。

【0029】また、請求項2記載の発明によれば、同時測定を行う度に測定条件をI C毎に保存しておき、I C毎に逐次的に測定を行う際には、保存しておいた測定条件から測定を行うようにしたので、他のI Cと共通して同時並列的に測定を行った時点における測定条件からI C毎に個別に測定を継続してゆくことができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施形態によるI Cの試験方法を説明するフローチャートである。

【図2】 対象とする測定I Cを4個とした場合に、従来技術及び本発明によりI C試験に要する処理時間を対比した図である。

【図3】 I C試験装置1の構成とその試験対象である測定I C 2との接続関係を示したブロック図である。

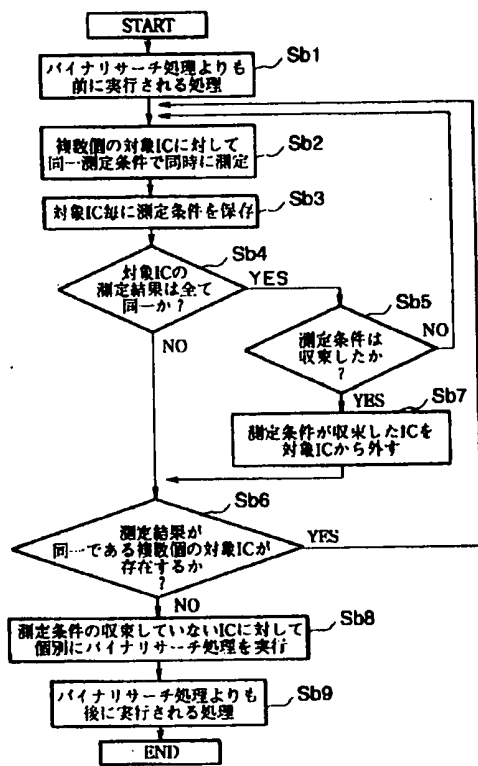
【図4】 バイナリサーチの手法を用いて測定I Cの試験を行う場合に、測定I Cに与える測定条件が試験の進捗につれて変化してゆく様子を表した図である。

【図5】 従来の技術によるI Cの試験方法を説明するフローチャートである。

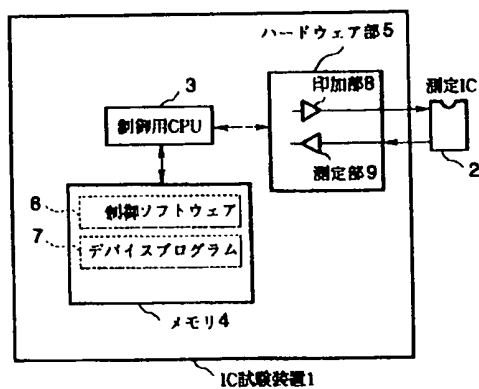
【符号の説明】

- 1 I C試験装置
- 2 測定I C
- 3 制御用CPU
- 4 メモリ
- 5 ハードウェア部
- 6 制御ソフトウェア
- 7 デバイスプログラム
- 8 印加部
- 9 測定部
- 10 測定条件空間
- 11 バス領域
- 12 フェイル領域

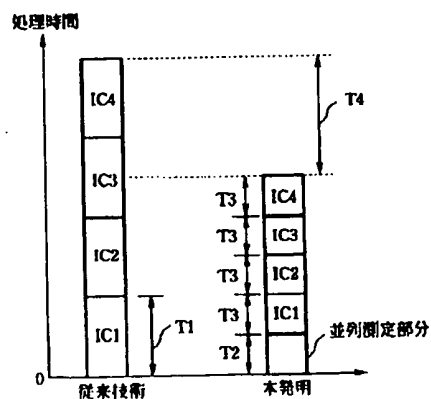
【図1】



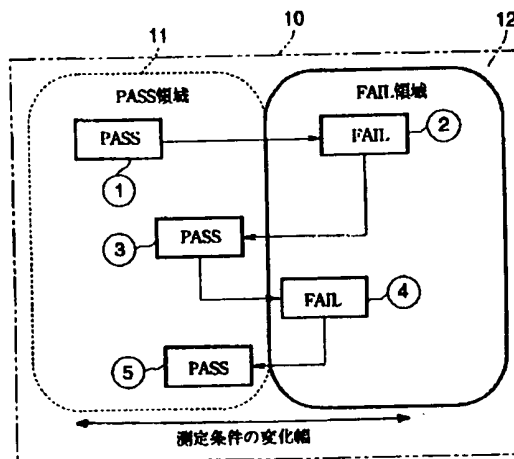
【図3】



【図2】



【図4】



【図5】

